

CLIPPEDIMAGE= JP359205751A

PAT-NO: JP359205751A

DOCUMENT-IDENTIFIER: JP 59205751 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: November 21, 1984

INVENTOR-INFORMATION:

NAME

MIYAZAKI, YUKIO

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP58081920

APPL-DATE: May 9, 1983

INT-CL (IPC): H01L027/08;H01L029/78

US-CL-CURRENT: 257/371

ABSTRACT:

PURPOSE: To obtain a C-MOS.IC having high latch-up resistance by a method wherein an n<SP>+</SP> type buried layer is formed partially to the surface layer section of an n<SP>--</SP> type Si substrate, an n<SP>-</SP> type layer is grown on the whole surface containing the buried layer in an epitaxial manner, the epitaxial layer on the buried layer is used as one transistor forming region, a p<SP>-</SP> type layer is shaped to the epitaxial layer, which does not contain the buried layer, and the p<SP>-</SP> type layer is used as the other transistor forming region.

CONSTITUTION: An n<SP>+</SP> type buried layer 113 is diffused and formed to

the surface layer section of an n<SP>--</SP> type Si substrate 105, and an n<SP>-</SP> type layer 105a is grown on the whole surface containing the buried layer 113 in an epitaxial manner. A p-n-p transistor 2 is shaped into the layer 105a positioned on the layer 113, a p<SP>-</SP> type region 106 is diffused and formed into the layer 105a, which does not contain the buried layer 113, and an n-p-n transistor 3 is formed in the region 106. Accordingly, base concentration in the two transistors can be elevated, the number of recombination of carriers in bases augments, a current amplification factor lowers, and latch-up resistance increases.

COPYRIGHT: (C)1984,JPO&Japio

## ⑫ 公開特許公報 (A)

昭59—205751

⑪ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
29/78

識別記号

庁内整理番号  
6655—5F  
7377—5F

⑬ 公開 昭和59年(1984)11月21日

発明の数 1  
審査請求 未請求

(全 6 頁)

## ⑭ 半導体集積回路装置

① 特 願 昭58—81920

② 出 願 昭58(1983)5月9日

③ 発 明 者 宮崎行雄

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

④ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2  
番3号

⑤ 代 理 人 弁理士 大岩増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

第1導電形の半導体基板に第2導電形のアイランド層を設け、これらに第2導電形MOSトランジスタと第1導電形MOSトランジスタとを形成させ、各トランジスタを直列に接続して構成する相補形MOS集積回路において、前記第1導電形の半導体基板上に、この基板濃度よりも高濃度の第1導電形の埋込み層を部分的に形成させ、またこれらの上に埋込み層よりも低濃度の第1導電形のエピタキシャル層を成長させ、さらに前記埋込み層上のエピタキシャル層に、前記第2導電形MOSトランジスタを設けるための第1導電形のアイランド層を形成し、かつ埋込み層に接しないようにしてエピタキシャル層に、前記第1導電形MOSトランジスタを設けるための第2導電形のアイランド層を形成したことを特徴とする半導体集積回路装置。

## 3. 発明の詳細な説明

## 〔発明の技術分野〕

この発明は半導体集積回路装置、特に相補形MOS集積回路装置(以下CMOS ICと称す)の改良に関するものである。

## 〔従来技術〕

CMOS ICは消費電力が少なく、また動作電源電圧範囲が広いなどの利点を有していることから、近年急激に広く利用されるようになってきている。しかし一方、このCMOS ICは同一基板にPチャネルMOSトランジスタ(以下p・MOSと称す)とnチャネルMOSトランジスタ(以下n・MOSと称す)とが形成されるために、これらを構成するp形拡散層とn形拡散層との間で寄生バイポーラトランジスタが形成され、これにいわゆるラッチアップと呼ばれるCMOS IC独特の現象を生じ、この現象により素子の破壊が発生して、これがCMOS ICの最大の欠点とされている。

第1図はCMOS回路の最小単位を示す回路図である。(A)はp・MOSで、(101)はそのソース、(102)はそのドレイン、また(B)はn・MOSで、

(103)はそのソース、(104)はそのドレインであり、 $p$ -MOST(A)のソース(101)は電源端子 $V_{DD}$ に、 $n$ -MOST(B)のソース(103)は電源端子 $V_{SS}$ にそれぞれ接続され、両MOST(A),(B)のゲートは共通に入力端子INに接続され、 $p$ -MOST(A)のドレイン(102)と $n$ -MOST(B)のドレイン(104)とは共通に出力端子OUTに接続されている。

また第2図は前記第1図回路を実際に構成した従来のCMOS ICの構造を示す断面図である。この第2図において、(105)は $n$ -形半導体基板、(106)は $n$ -MOST(B)を形成する $p$ -形アイランド、(107)は絶縁層、(108)は金属電極、(109)は電源端子 $V_{CC}$ のための $p$ -形コンタクト層、(110)は電源端子 $V_{DD}$ のための $n$ -形コンタクト層を示し、また $p$ -MOST(A)は $n$ -形半導体基板(105)の主面上に形成されたソース(101)となる $p$ -拡散層と、ドレイン(102)となる $p$ -拡散層と、ソース(101)、ドレイン(102)間に絶縁層(107)を介して形成された金属電極(108)によるゲート電極とにより構成され、 $n$ -MOST(B)は $p$ -形アイラン

ド(106)上に形成されたソース(103)となる $n$ -拡散層と、ドレイン(104)となる $n$ -拡散層と、ソース(103)、ドレイン(104)間に絶縁層(107)を介して形成された金属電極(108)によるゲート電極とにより構成されている。

ここでこの第2図構成のCMOS ICにあつては、さきにも述べたようにラッチアップに関係するバイポーラトランジスタ、および抵抗が、同図に破線で示したように寄生する。すなわち、(1)は $p$ -MOST(A)の $p$ -形ソース領域(101)と、 $n$ -形半導体基板(105)と、 $p$ -形アイランド(106)との間に形成されるPNPトランジスタ、(2)は $p$ -MOST(A)の $p$ -形ドレイン領域(102)と、 $n$ -形半導体基板(105)と、 $p$ -形アイランド(106)との間に形成されるPNPトランジスタ、(3)は $n$ -MOST(B)の $n$ -形ソース領域(103)と、 $p$ -形アイランド(106)と $n$ -形半導体基板(105)との間に形成されるNPNトランジスタ、(4)は $n$ -MOST(B)の $n$ -形ドレイン領域(104)と、 $p$ -形アイランド(106)と、 $n$ -形半導体基板(105)との間に形成されるNPNトランジ

スタであり、また(5)は $n$ -形半導体基板(105)内の電源端子 $V_{DD}$ に至るまでの抵抗、(6)は $p$ -MOST(A)の $p$ -形ソース領域(101)内の抵抗、(7)は $p$ -形アイランド(106)内の電源端子 $V_{SS}$ に至るまでの抵抗、(8)は $n$ -MOST(B)の $n$ -形ソース領域(103)内の抵抗である。そして第3図には第2図に破線で示した寄生素子による寄生回路の回路図を示している。

次にこれらの第2図および第3図によりラッチアップ現象時の動作について述べる。いま、出力端子OUTに負のサージ電圧が印加されると、 $p$ -形アイランド(106)と $n$ -MOST(B)の $n$ -形ドレイン(104)との間に順方向電流が流れ、これによつてNPNトランジスタ(4)が導通状態になり、 $n$ -形半導体基板(105)から $n$ -MOST(B)の $n$ -形ドレイン(104)に向けて、NPNトランジスタ(4)の増幅率 $h_{FE4}$ で増幅された電流が流れ、この電流は電源端子 $V_{DD}$ から抵抗(5)を介して供給される。そこでこの電流によりPNPトランジスタ(1)のベース・エミッタ間が順バイアスされて、PNPトランジスタ(1)

が導通し、電流は電源端子 $V_{DD}$ から抵抗(6)、PNPトランジスタ(1)、および抵抗(7)を通して電源端子 $V_{SS}$ へ流れる。そしてこれによりさらにNPNトランジスタ(3)が順バイアスされて、PNPトランジスタ(1)のベース電流を引くので、さきの出力端子OUTへのサージ入力になくとも、PNPトランジスタ(1)とNPNトランジスタ(3)とによるサイリスタ構成のために、電源端子 $V_{DD}-V_{SS}$ 間に大きな電流が流れ続け、結局、素子を破壊にいたらしめるのである。

また同様にして、出力端子OUTに正のサージ電圧が印加されると、 $p$ -MOST(A)の $p$ -形ドレイン(102)と $n$ -形半導体基板(105)との間に順方向電流が流れ、これによつてPNPトランジスタ(2)が導通状態になり、 $p$ -形アイランド(106)から $p$ -MOST(A)の $p$ -形ドレイン(102)に向けて、PNPトランジスタ(2)の増幅率 $h_{FE2}$ で増幅された電流が抵抗(7)を介して電源端子 $V_{SS}$ へ流れる。そこでこの電流によりNPNトランジスタ(3)のベース・エミッタ間が順バイアスされて、NPNトランジスタ(3)

が導通し、電流は電源端子  $V_{DD}$  から抵抗(5)、NPNトランジスタ(3)、および抵抗(8)を通して電源端子  $V_{SS}$  へ流れる。そしてこれによりさらにPNPトランジスタ(1)が順バイアスされて、NPNトランジスタ(3)のベース電流を供給するので、さきの出力端子OUTへのサージ入力がなくとも、PNPトランジスタ(1)とNPNトランジスタ(3)とによるサイリスタ構成のために、電源端子  $V_{DD}-V_{SS}$  間に大きな電流が流れ続け、こゝでも結局、素子を破壊にいたらしめるのであり、このようにCMOS ICではその構造上、寄生バイポーラトランジスタを避けることができず、ラッチアップ現象が大きな問題であつた。

また最近に至つては、第4図のように、高濃度  $n^+$  形半導体基板(111)上に、 $n^-$  形層(105)をエピタキシャル成長させ、この  $n^-$  形層(105)に  $p^-$  形アイランド(106)を形成させる構造にすることで、前記ラッチアップ現象を防止する手段が試みられている。これは半導体基板の濃度を大きくすることによつて、寄生バイポーラのPNPトランジ

スタ(1)、(2)において、電流が  $p^+$  形ソース(101)、 $p^+$  形ドレイン(102)  $\rightarrow$   $n^-$  形層(105)  $\rightarrow$   $p^-$  形アイランド(106)を通る経路と、 $p^+$  形ソース(101)、 $p^+$  形ドレイン(102)  $\rightarrow$   $n^+$  形半導体基板(111)  $\rightarrow$   $p^-$  形アイランド(106)を通る経路とのうち、前者経路を通る割合が多くなつて、その分だけPNPトランジスタ(1)、(2)の増幅率  $h_{FE1}$ 、 $h_{FE2}$  が増加してしまうなどの不都合を有するものであつた。

#### 〔発明の概要〕

この発明は従来のこのような欠点に鑑み、CMOS ICにおいて、半導体基板上にこの基板と同一導電形でかつ高濃度の埋込み層を部分的に形成した上で、基板と同一導電形で埋込み層よりも低濃度のエピタキシャル層を成長させ、埋込み層上のエピタキシャル層に基板と同一導電形の第1のアイランド層を、また埋込み層に接しないように基板と逆導電形の第2のアイランド層をそれぞれに設け、基板と第2のアイランド層間の耐圧を低下させずに、寄生バイポーラトランジスタの増幅率を低下させることで、ラッチアップ耐量を大きく

スタ(1)、(2)のベース濃度を上げ、ベース中でキャリアをできるだけ多く再結合させることにより、PNPトランジスタ(1)、(2)の増幅率  $h_{FE1}$ 、 $h_{FE2}$  を低くし、ラッチアップ耐量が大きくなる効果をねらつたものである。

しかしこの第4図構成では、PNPトランジスタ(1)、(2)の増幅率  $h_{FE1}$ 、 $h_{FE2}$  を低くして、ラッチアップ耐量を大きくすることはできるが、高濃度  $n^+$  形半導体基板(111)上に濃度の薄い  $n^-$  形拡散層(105)を形成しているために、高濃度の  $n^+$  が浮き上がつて  $p^-$  のアイランド(106)にぶつかり、アイランドと高濃度  $n^+$  形半導体基板間の耐圧が低下し、また寄生PNPトランジスタ(1)、(2)の増幅率  $h_{FE1}$ 、 $h_{FE2}$  は低下するものゝ、NPNトランジスタ(3)、(4)は高濃度の  $n^+$  が浮き上がるためにベース長が短くなつて、その増幅率  $h_{FE3}$ 、 $h_{FE4}$  が逆に増加してしまうという問題を生ずる。

さらに高濃度の  $n^+$  が浮き上がつてもアイランド(106)にぶつからない程度の厚さに  $n^-$  形層(105)をエピタキシャル成長させると、今度はPNPトラ

するようにしたものである。

#### 〔発明の実施例〕

以下、この発明装置の一実施例につき、第5図を参照して詳細に説明する。

第5図実施例において前記第2図および第3図従来例と同一符号は同一または相当部分を示しており、この実施例では前記  $p^-$  形アイランド(106)に接しないようにして、これ以上の真下に  $n^+$  形拡散層からなる埋込み層(113)を形成させた上で、この埋込み層(113)上に  $n^-$  形アイランド(112)を形成させたものである。

こゝでこれらの埋込み層(113)、 $n^-$  形アイランド(112)は、まず  $n^-$  形半導体基板(105)の主面上の所定位置に、埋込み層(113)となる高濃度  $n^+$  形拡散層を形成し、ついでその上に埋込み層(113)よりも低濃度の  $n^-$  形層(105a)をエピタキシャル成長させ、その後、 $n^-$  形アイランド(112)を  $p^-$  形アイランド(106)と同様に形成させればよく、この実施例では  $n^-$  形アイランド(112)を埋込み層(113)に接触させているが、必ずしも接触させる必

要はない。

続いてこのように構成される第5図実施例のCMOS ICにあつて、特に改良点である $n^+$ 形拡散層による埋込み層(113)を中心に述べる。

さきに従来例で述べたように、出力端子OUTに正のサージ電圧が印加されたときに、PNPトランジスタ(2)のコレクタに流れる電流が大きい、すなわちPNPトランジスタ(2)の増幅率 $h_{FE2}$ が大きいと、NPNトランジスタ(3)のベース電流が大きくなつて、ラッチアップ状態に突入するのであるが、この実施例のように、 $n^+$ 形拡散層からなる埋込み層(113)を $p^-$ 形アイランド(106)に接しないように設けると、PNPトランジスタ(1)、(2)のベース濃度が増すために、ベース中でのキャリアの再結合する数が増加して、この増加分に対応して流れる電流が少なくなつて増幅率が低下し、ラッチアップ耐量が大きくなる。

そして $n^-$ 形アイランド(112)の濃度は、エピタキシャル成長された $n^-$ 形層(105a)の濃度より高くなるために抵抗が低くなり、PNPトランジスタ

(2)のエミッタからベースに注入されるキャリアが、高濃度の埋込み層(113)で再結合し易くなり、またこの高濃度の埋込み層(113)の $n^+$ が浮き上つても、この実施例の場合、埋込み層(113)を $p^-$ 形アイランド(106)の真下以外の領域に設けているから、これが $p^-$ 形アイランド(106)にぶつからず、この $p^-$ 形アイランド(106)と基板(105)間の耐圧は低下せず、かつNPNトランジスタ(3)、(4)のベース長も変化しないために、その増幅率が増加することはないのである。

なお前記実施例は $n^-$ 形半導体基板に形成されるCMOS ICに $n^+$ 形拡散層による埋込み層を設けた場合であるが、逆の場合、つまり $p^-$ 形半導体基板に形成されるCMOS ICに $p^+$ 形拡散層による埋込み層を設けた場合も同様の作用、効果が得られるものである。

〔発明の効果〕

以上詳述したようにこの発明によれば、相補形MOS集積回路において、半導体基板上に基板と同一導電形でかつ濃度の高い埋込み層を部分的に設

け、また基板と同一導電形で埋込み層よりも濃度の低いエピタキシャル層を成長させ、埋込み層上のエピタキシャル層に基板と同一導電形の第1のアイランド層を、また埋込み層に接しないように基板と逆導電形の第2のアイランド層をそれぞれに設けたから、基板とアイランド間の耐圧を低下させずに、ラッチアップ現象の原因となる寄生バイポーラトランジスタの増幅率を低下し得て、ラッチアップ耐量を向上できる特長がある。

#### 4. 図面の簡単な説明

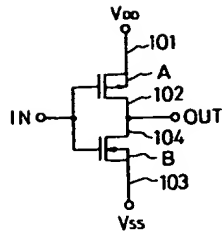
第1図は相補形MOS回路の最小単位を示す回路図、第2図は第1図回路を実際に構成させた従来例による相補形MOS集積回路装置の構造を寄生素子と共に示す断面図、第3図は同上寄生素子による寄生回路を示す回路図、第4図はラッチアップ防止のために改良された従来例装置の構造を寄生素子と共に示す断面図、第5図はこの発明に係る相補形MOS集積回路装置の一実施例構造を寄生素子と共に示す断面図である。

(A)・・・ $p$ チャネルMOSトランジスタ( $p^-$

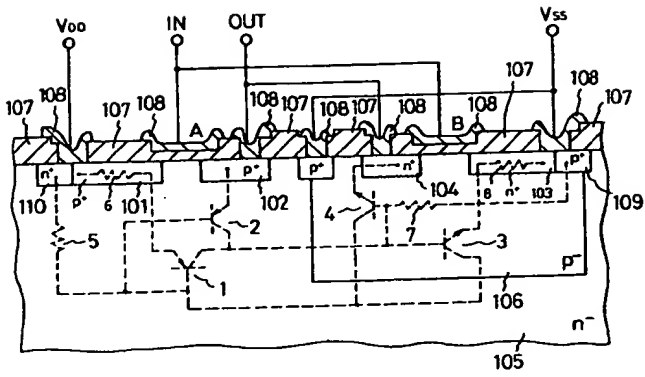
MOST)、(101)・・・ $p^+$ 形ソース、(102)・・・ $p^+$ 形ドレイン、(B)・・・ $n$ チャネルMOSトランジスタ( $n^-$ MOST)、(103)・・・ $n^+$ 形ソース、(104)・・・ $n^+$ 形ドレイン、(105)・・・ $n^-$ 形半導体基板、(106)・・・ $p^-$ 形アイランド、(112)・・・ $n^-$ 形アイランド、(113)・・・ $n^+$ 形拡散層による埋込み層。

代理人 大 岩 増 雄

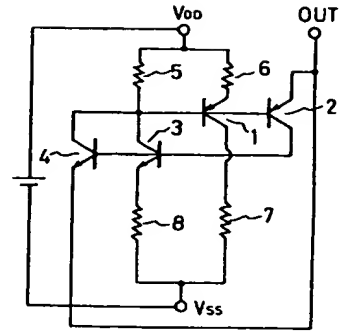
第1図



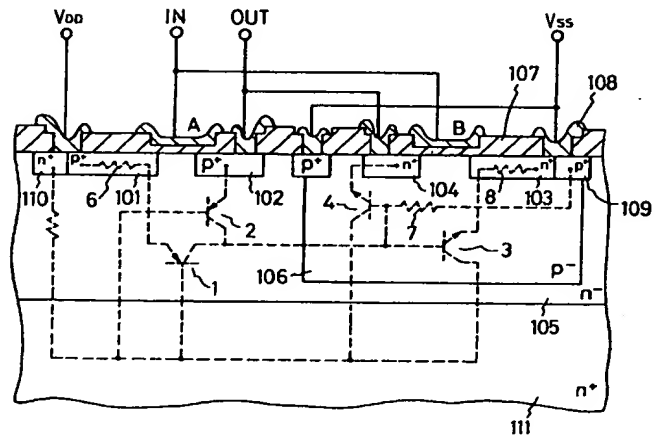
第2図



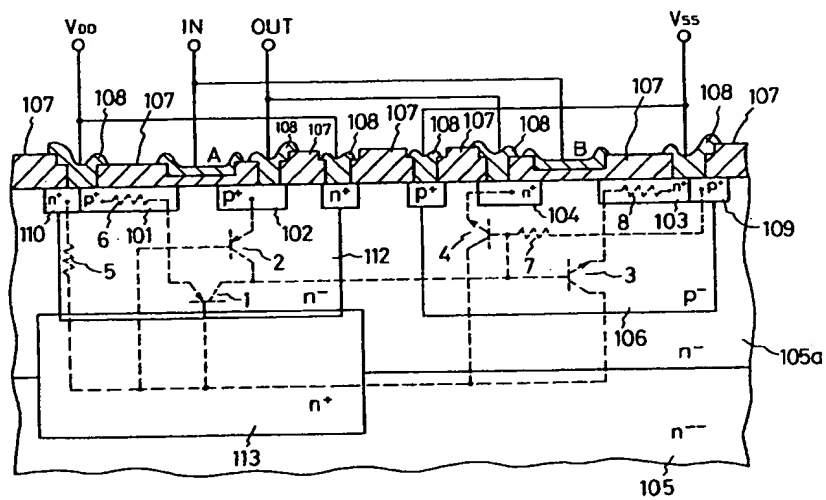
第3図



第4図



第5図



手続補正 (自発)

昭和58年11月5日

特許庁長官殿

1. 事件の表示 特願昭58-81920号

2. 発明の名称 半導体集積回路装置

3. 補正をする者

事件との関係 特許出願人  
 住所 東京都千代田区丸の内二丁目2番3号  
 名称 (601) 三菱電機株式会社  
 代表者 片山 仁 八 郎

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
 三菱電機株式会社内

氏名 (7375) 弁理士 大 岩 増 雄  
 (原稿係 03(213)3421伝呼係)

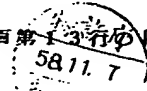


5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第3頁第13行の「Vcc」を「Vss」と補



正する。

(2) 同書第6頁第15～16行の「p<sup>-</sup>形アイランド～に向けて」を「p-MOST (A) の p<sup>+</sup>形ドレイン (102) から p<sup>-</sup>形アイランド (106) に向けて」と補正する。

(3) 同書第10頁第8行の「これ以上」を「これ以外」と補正する。

以 上